



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10093492 A**(43) Date of publication of application: **10 . 04 . 98**

(51) Int. Cl

H04B 7/212**H03G 3/20****H04B 7/185****H04J 1/00**(21) Application number: **08243212**(71) Applicant: **NEC CORP**(22) Date of filing: **13 . 09 . 96**(72) Inventor: **KUMAGAI TAKEO**(54) **COLLECTIVE BRANCHING CIRCUIT**

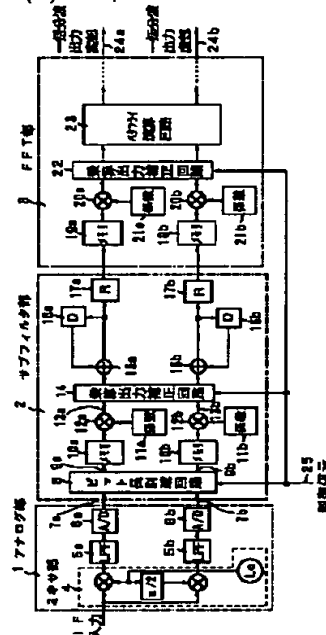
(57) Abstract:

PROBLEM TO BE SOLVED: To save the power consumption by inserting zeros to undefined low-order bits through bit shift in a bit length reduction circuit in response to a number of operating channels, saving power consumption required for the processing by undefined bits in a post stage circuit, inserting zeros to low-order bits below the valid bit with a correction circuit so as to eliminate the need for processing low-order bits below the valid bit in a time division multiplex signal generating circuit.

SOLUTION: An analog section 1 applies frequency conversion and real axis and imaginary axis separation to an input frequency multiplex signal and converts the signal into digital signals 7a, 7b. A sub filter section 2 is provided with a bit length reduction circuit 8 that shifts bits of the digital signals 7a, 7b depending on number of operating channels and inserts zeros to undefined low-order bits as a result, memories 10a, 10b, multipliers 12a, 12b, a multiplier output correction circuit 14 that sets low-order bits to zero in a range where a quantization error permits, adds 15a, 15b, delay circuits 16a, 16b and registers 17a, 17b. A high speed Fourier transformation (FFT) section 3 applies FFT to the received signal and provides an output of time

division multiplex signals 24a, 24b on a time base.

COPYRIGHT: (C)1998,JPO



Best Available Copy

Best Available Copy

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-93492

(43)公開日 平成10年(1998) 4月10日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 B 7/212

H 0 4 B 7/15

C

H 0 3 G 3/20

H 0 3 G 3/20

Z

H 0 4 B 7/185

H 0 4 B 7/185

H 0 4 J 1/00

H 0 4 J 1/00

審査請求 有 請求項の数 5 O L (全 9 頁)

(21)出願番号

特願平8-243212

(22)出願日

平成 8 年(1996) 9 月13日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 熊谷 健夫

東京都港区芝5丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 松浦 兼行

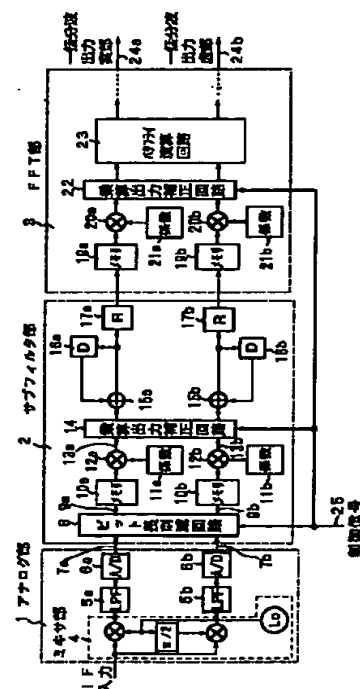
(54)【発明の名称】 一括分波回路

(57)【要約】

【課題】 従来の一括分波回路は、ディジタル信号の有効ビット長を一定として処理しているため、チャンネル数に応じた消費電力の削減が実現できない

【解決手段】 アナログ部1は入力周波数多重信号に対して周波数変換及び実軸、虚軸分解を行い、更にディジタル信号7a、7bに変換する。サブフィルタ部2は、ディジタル信号7a、7bを使用チャンネル数に応じてビットシフトし、その結果、未定義となった下位ビットに対してはゼロを挿入するビット長削減回路8と、メモリ10a、10b、乗算器12a、12b、量子化誤差の許される範囲で下位ビットをゼロに設定する乗算出力補正回路14と、加算器15a、15bと、ディレー回路16a、16bと、レジスタ17a、17bとから構成されている。FFT部3は、FFT演算により時間軸上の信号に変換されて時分割多重信号24a、24bを出力する。

本発明の第1の実施の形態のブロック図



【特許請求の範囲】

【請求項1】 複数のチャンネルの各信号が周波数多重された周波数多重信号が入力され、該周波数多重信号を実部と虚部の信号に分離すると同時にベースバンドに周波数変換した後デジタル信号に変換するアナログ部と、

前記周波数多重信号を構成する各信号の使用チャンネル数に応じて前記アナログ部の入力周波数多重信号の振幅を変化させる振幅可変手段と、

前記アナログ部から出力された実部と虚部のデジタル信号を、外部入力制御信号に基づき使用チャンネル数に応じてビットシフトし、その結果、未定義となった下位ビットに対してはゼロを挿入するビット長削減回路と、該ビット長削減回路の出力デジタル信号に対してフィルタリングの演算を行う演算手段と、

該演算手段の出力データを、外部入力制御信号に基づき使用チャンネル数に応じたビット長となるように、有効ビット以下の下位ビットにはゼロを挿入する補正回路と、

前記補正回路の出力デジタル信号に対して高速フーリエ変換演算して時間軸上の信号に変換した後、時分割多重信号を生成する時分割多重信号生成回路とを有することを特徴とする一括分波回路。

【請求項2】 前記周波数多重信号を一定レベルにして前記アナログ部に入力すると共に、そのレベル制御情報に関するレベル通知信号を出力する自動利得制御回路を設け、該レベル通知信号に基づいて前記外部入力制御信号を生成することを特徴とする請求項1記載の一括分波回路。

【請求項3】 前記周波数多重信号を前記外部制御信号に基づいて利得が制御される可変利得増幅器を前記アナログ部の入力側に設けたことを特徴とする請求項1記載の一括分波回路。

【請求項4】 アップリンクに周波数多重信号を使用し、衛星上で該周波数多重信号をデジタル信号処理技術を用いて時分割多重信号に変換する一括分波回路において、前記衛星上での回線接続制御及び地上基地局からのコマンドを実行する交換制御部が前記アナログ部の入力周波数多重信号の振幅を制御すると共に前記外部入力制御信号を生成することを特徴とする請求項1乃至3のうちいずれか一項記載の一括分波回路。

【請求項5】 前記交換制御部は、前記周波数多重信号を構成する各信号の使用チャンネル数の時間変動、曜日変動及び月変動を考慮して予め定めた時に前記外部入力制御信号を生成することを特徴とする請求項4記載の一括分波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一括分波回路に係り、特にアップリンクに周波数多重信号を使用し、衛星

上でチャンネル単位の再生あるいはスイッチング等の処理を行う衛星通信システムにおいて、衛星上で周波数多重信号をデジタル信号処理技術を用いて時分割多重信号に変換する一括分波回路に関する。

【0002】

【従来の技術】従来より、アップリンクに周波数多重信号を使用し、衛星上でチャンネル単位の再生あるいはスイッチング等の処理を行い時分割多重信号に変換し、ダウンリンクは時分割多重信号により多数の地上の移動局に送信し、移動局は受信時分割多重信号から受信すべきチャンネルを選択受信する衛星通信システムが知られている（例えば、特開昭64-71329号公報）。かかる衛星通信システムでは、衛星上において一括分波回路を有し、受信した周波数多重信号をデジタル信号処理技術を用いて時分割多重信号に変換する。

【0003】図7は従来の一括分波回路の一例の機能ブロック図を示す。この従来の一括分波回路は、演算量の少ない一括分波方式として知られているポリフェーズフィルタ高速フーリエ変換（FFT）方式による一括分波回路で、入力された中間周波数（IF）帯の周波数多重信号を分岐回路により2分岐し、ミキサ102において実部103と虚部104に分離すると同時にベースバンドに周波数変換し、それぞれ低域フィルタ（LPF）105、106を通してA/D変換器107、108によりデジタル信号に変換する。

【0004】A/D変換器107、108の出力デジタル信号は、サブフィルタ部109及びFFT部110においてデジタル信号処理される。その結果、入力周波数多重信号は各キャリア毎に分波され、改めて時分割多重することによって時分割多重信号111に変換される。

【0005】図8は従来の一括分波回路のブロック図で、図7に示した一般的な機能ブロック図をハードウェアイメージで具現化したブロック図である。同図中、図7と同一構成部分には同一符号を付してある。図8に示すように、サブフィルタ部109は、A/D変換器107、108の出力デジタル信号が入力されるメモリ121と、メモリ121の出力信号と乗算係数を乗算する乗算器122と、乗算係数を乗算器122へ出力する係数器123と、乗算器122の出力信号とその遅延信号を加算する加算器124と、加算器124の出力信号を遅延して加算器124へフィードバックするレジスタ125と、加算器124の出力信号が入力されるレジスタ126からなる回路部が実部、虚部に対応して2系統並列に設けられている。

【0006】また、FFT部110は上記のサブフィルタ部109の出力信号が入力されるメモリ127と、メモリ127の出力信号と乗算係数を乗算する乗算器128と、上記乗算係数を乗算器128に入力する係数器129と、乗算器128の出力信号をバタフライ演算する

バタフライ演算回路 130 とから構成されており、メモリ 127、乗算器 128 及び係数器 129 は 2 系統並列に設けられている。また、バタフライ演算回路 130 は基数によってその構成が変化するが、基本的には乗算器、加減算器、レジスタから構成される。

【0007】

【発明が解決しようとする課題】しかるに、上記の従来の一括分波回路は、入力された周波数多重信号の最大チャンネル数を一括分波するときの総演算量を少なくすることを目的とした方式であり、使用するチャンネル数に

関係なくデジタル信号の有効ビット長を一定として処理しているため、実際に使用されているチャンネル数が少ない場合であっても、最大チャンネル数を処理するのと同じだけの演算量を必要とし、その結果、チャンネル数に応じた消費電力の削減が実現できないという問題がある。

【0008】本発明は上記の点に鑑みなされたもので、

実際の使用チャンネル数が極端に少ない時間帯等において消費電力を低減し得る一括分波回路を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は上記の目的を達成するため、複数のチャンネルの各信号が周波数多重された周波数多重信号が入力され、周波数多重信号を実部と虚部の信号に分離すると同時にベースバンドに周波数変換した後デジタル信号に変換するアナログ部と、周波数多重信号を構成する各信号の使用チャンネル数に応じてアナログ部の入力周波数多重信号の振幅を変化させる振幅可変手段と、アナログ部から出力された実部と虚部のデジタル信号を、外部入力制御信号に基づき使用チャンネル数に応じてビットシフトし、その結果、未定義となった下位ビットに対してはゼロを挿入するビット長削減回路と、ビット長削減回路の出力デジタル信号に対してフィルタリングの演算を行う演算手段と、演算手段の出力データを、外部入力制御信号に基づき使用チャンネル数に応じたビット長となるように、有効ビット以下の下位ビットにはゼロを挿入する補正回路と、補正回路の出力デジタル信号に対して高速フーリエ変換演算して時間軸上の信号に変換した後、時分割多重信号を生成する時分割多重信号生成回路とを有する構成としたものである。

【0010】この発明では、使用チャンネル数に応じてビット長削減回路ではビットシフトを行って未定義となった下位ビットにはゼロを挿入しているため、後段の回路において未定義となったビット分の処理に要する消費電力を節約できると共に、補正回路により有効ビット以下の下位ビットにはゼロを挿入するようにしたため、時分割多重信号生成回路での有効ビット以下の下位ビットの処理が不要にでき、その分の消費電力を節約できる。

【0011】ここで、本発明は周波数多重信号を一定レ

ベルにしてアナログ部に入力すると共に、そのレベル制御情報に関するレベル通知信号を出力する自動利得制御回路を設け、レベル通知信号に基づいて外部入力制御信号を生成してもよく、また、周波数多重信号を外部制御信号に基づいて利得が制御される可変利得増幅器をアナログ部の入力側に設けてもよい。

【0012】また、本発明はアップリンクに周波数多重信号を使用し、衛星上で周波数多重信号をデジタル信号処理技術を用いて時分割多重信号に変換する一括分波回路において、衛星上での回線接続制御及び地上基地局からのコマンドを実行する交換制御部がアナログ部の入力周波数多重信号の振幅を制御すると共に外部入力制御信号を生成することを特徴とする。

【0013】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。

【0014】図 1 は本発明になる一括分波回路の第 1 の実施の形態のハードウェア構成を示すブロック図である。この実施の形態は、衛星通信システムのアップリンクの周波数多重信号が入力されるアナログ部 1 と、アナログ部 1 の出力信号が入力されるサブフィルタ部 2 と、サブフィルタ部 2 の出力信号が入力される FFT 部 3 とから構成されている。

【0015】アナログ部 1 は従来と同様の構成であり、アナログ信号である入力周波数多重信号に対して周波数変換及び実軸、虚軸分解を行うミキサ回路 4 と、エリアシングを防ぐための低域フィルタ (LPF) 5 a、5 b と、LPF 5 a、5 b の出力信号をそれぞれデジタル信号 7 a、7 b に変換する A/D 変換器 6 a、6 b とから構成されている。

【0016】サブフィルタ部 2 は、アナログ部 1 から出力されたデジタル信号 7 a、7 b を使用チャンネル数に応じてビットシフトし、その結果、未定義となった下位ビットに対してはゼロを挿入するビット長削減回路 8 と、このビット長削減回路 8 の出力デジタル信号 9 a、9 b を (チャンネル数) × (デジタルフィルタのタップ長) 分記憶するメモリ 10 a、10 b と、このメモリ 10 a、10 b の出力データと係数器 11 a、11 b からのフィルタタップ係数との乗算を行う乗算器 12 a、12 b と、乗算器 12 a、12 b の出力乗算結果 13 a、13 b に対して量子化誤差の許される範囲で下位ビットをゼロに設定する乗算出力補正回路 14 と、乗算出力補正回路 14 の 2 並列出力信号をそれぞれ (タップ長) 回分だけ累積加算するための加算器 15 a、15 b と、累積加算用の一つ前のデータを蓄えるディレー回路 16 a、16 b と、(タップ長) 回分の累積加算結果をラッチするレジスタ 17 a、17 b とから構成されている。

【0017】FFT 部 3 は、サブフィルタ部 2 の出力信号 18 a、18 b を入力信号として受け、FFT 処理に

必要なだけ記憶し、要求通りの順番に出力するメモリ 19 a、19 b と、メモリ 19 a、19 b の出力信号と係数器 21 a、21 b からの係数との間で FFT 演算の乗算を行う乗算器 20 a、20 b と、乗算器 20 a、20 b の出力乗算結果に対し、サブフィルタ部 2 と同様にシステム設計上から許される範囲で下位ビットをゼロに設定する乗算出力補正回路 22 と、乗算出力補正回路 22 の 2 並列出力信号に対し所要の基数に応じた加減乗算を実行して一括分波実部出力 24 a と一括分波虚部出力 24 b を出力するバタフライ演算回路 23 とから構成されている。

【0018】基数によってはバタフライ演算回路 23 内に乗算器が必要となるので、その場合にはその乗算器の直後に乗算出力補正回路を設置する。FFT 部 3 はポイント数が多い場合には、上記メモリ 19 a、19 b からバタフライ演算回路 23 までの構成を 1 個のブロック単位として、複数のブロックをパイプライン接続した構成とされる。

【0019】乗算器 20 a、20 b の出力信号を何ビットで打ち切り何ビット目からをゼロにするかは、システム毎あるいは演算器が置かれる位置毎に解析する必要がある。なお、ビット長削減回路 8 と乗算出力補正回路 14、22 の制御は衛星上で回線の接続・切断などの制御を行う交換制御部が指示する。

【0020】次に、この実施の形態の動作について説明する。IF 帯の入力多チャンネル周波数多重信号はミキサ回路 4 で実部と虚部分離されると同時にベースバンドに周波数変換された後、それぞれ LPF 5 a、5 b により不要高周波数成分が除去されて A/D 変換器 6 a、6 b に供給されてデジタル信号に変換される。

【0021】ここで、入力周波数多重信号の最大チャンネル数が N チャンネルのとき、ダイナミックレンジを考慮すると、A/D 変換器の 6 a、6 b のビット数として M ビット必要であると仮定する。この場合、実際に使用するチャンネル数が最大チャンネル数の 50% 以上のような時には M ビットをフルに使用した処理が必要となる。しかし、実際に使用しているチャンネル数が全体の 10% 以下のような場合には、A/D 変換器 6 a、6 b の入力電圧範囲が平均で 1/10 程度になると考えられるので M-2 または M-3 ビット程度の量子化ビット長で十分といえる。

【0022】ただし、単純に下位の 2~3 ビットをゼロに設定してしまうと、単に量子化誤差を増大させることになり、システム仕様を満足できなくなる。そこで、この実施の形態では、図 1 では図示を省略したが、使用チャンネル数に比例して入力周波数多重信号の振幅を大きくする振幅可変手段をアナログ部 1 の入力側に有しており、その上で A/D 変換器 6 a、6 b の出力デジタル信号の下位 2~3 ビットをゼロに設定することにより、システム要求の量子化誤差を満足しつつ実際に処理する

量子化ビット長を減少させる。演算量を増大させることなく使用チャンネル数に応じた信号レベルの拡大を行うためには、ビット長削減回路 8 によりビットシフトを行う。

【0023】ビット長削減回路 8 の具体的回路の一例を図 2 に示す。同図に示すビット長削減回路 8 は、4 ビット (X0~X3) の入力信号 26 に対して最大 2 ビットシフトする場合の構成であり、衛星上での回線の接続制御及び地上基地局からのコマンドを実行する図示しない交換制御部からの制御信号 25 によって、入力信号の 4 ビット (X0~X3) の 4 ビット出力端への伝送路を切り替える。図 2 に実線で示す接続により、X1、X0、0、0 が出力される。つまり、入力信号 26 は 2 ビット右方向へシフトされて出力信号 28 として出力される。また、図 2 のビット調削減回路 8 はシフトしないか、あるいは 1 ビットシフトすることもできる。

【0024】なお、ビット長削減回路 8 は A/D 変換器 6 a、6 b の出力デジタル信号の量子化ビット数がそれぞれ 8 ビットであるときには、図 2 と同様に 8 ビット入力 8 ビット出力のビットシフト可能な構成のものを 2 回路用いる。

【0025】図 3 は上記のビット長削減回路 8 の出力信号 28 (9 a、9 b) を記憶するメモリ 10 a、10 b のメモリマップの一例を示す。同図に示すように、このメモリ 10 a、10 b は 8 ビット幅のレジスタで、そのうち下位 2 ビットに常にゼロが書き込まれるものを示している。CMOS の場合には状態が変化しなければ消費電力は発生しない。従って、下位 2 ビット分のブロックの消費電力を削減したことになる。

【0026】次に、このメモリ 10 a、10 b の出力信号と係数器 11 a、11 b からのフィルタのタップ係数との乗算を行う乗算器 12 a、12 b の動作について説明する。一例として図 4 に 4×4 の並列型乗算器の回路図を示す。この乗算器は、4 ビット乗算係数 Y3、Y2、Y1 及び Y0 のうち最下位ビットの乗算係数 Y0 が一方の入力端子に入力され、他方の入力端子にメモリ 10 a、10 b の 4 ビット出力データ X3、X2、X1 及び X0 がそれぞれ入力される 4 つの 2 入力 AND 回路 31 と、単位回路 A、B 及び C からなり、8 ビットの乗算出力信号 P0~P7 を出力する構成とされている。

【0027】単位回路 A、B 及び C はそれぞれビット x、y が入力される 2 入力 AND 回路と、ビット z と AND 回路の出力とビット c i が入力される全加算器とから構成されている。このうち、単位回路 A はすべての出力が常に同じ状態を示し、単位回路 B は部分的に同じ状態を保つ。単位回路 A はそのまま消費電力削減になり、単位回路 B は変化する入力信号数が減少している分だけ内部状態が変化する割合が減ると考えられるので、その分消費電力の低減につながる。

【0028】乗算器 12 a、12 b の出力信号は乗算出

力補正回路14に供給される。なお、乗算器12a、12bは例えばメモリ10a、10bの出力信号がそれぞれ8ビット、係数器11a、11bからのフィルタのタップ係数もそれぞれ8ビットとすると、16ビットの乗算結果を出力する。

【0029】図5は図1の乗算出力補正回路14、22の一例の回路図を示す。この乗算出力補正回路14(22)は、簡単のため、6ビットの乗算出力信号35(X5~X0)に対して有効ビット数4ビット(X5~X2)の例で、交換制御部(図示せず)からの制御信号25により、乗算器からの入力信号(乗算出力信号)35の上位4ビット(X5~X2)と同一値で下位2ビットが0の信号36を出力する。

【0030】乗算出力補正回路14から出力された上記の上位4ビットが有効データの信号はサブフィルタ部2の加算器15a、15bに供給される。加算器15a、15bに入力される信号のうち常時ゼロが入力されてくる下位ビットが存在すると、出力の同じビットには常時ゼロが出力される。従って、加算器15a、15bのそのビットは不変である。よって、そのビット分の消費電力が削減できる。ここでは上記の加算器15a、15bの入力信号のうち下位2ビットはゼロであるので、加算器15a、15bの出力信号の下位2ビットもゼロである。

【0031】ディレイ回路16a、16b及びレジスタ17a、17bにはこの加算器15a、15bの出力信号が書き込まれるので、常時ゼロのビットはそのまま引き継がれる。

【0032】FFT部3のメモリ19a、19bにはレジスタ17a、17bの出力信号18a、18bが記憶されるため、特定の下位ビットは常にゼロが書き込まれる。ゼロが挿入された下位ビットについてはサブフィルタ部2のメモリ10a、10bと同様にその分消費電力を減少させることになる。FFT部3のメモリ10a、10bの出力信号は乗算器20a、20bに供給されて、係数器21a、21bからの乗算係数と乗算され、更に乗算出力補正回路22により補正される。これはサブフィルタ部2内の乗算器12a、12bと乗算出力補正回路14の動作と同じである。

【0033】乗算出力補正回路22の出力信号はバタフライ演算回路23に供給され、バタフライ演算される。バタフライ演算回路23では基数によって内部の演算形式が異なるため、一概には言えないが、基数2又は基数4の場合には、加減算処理だけとなるので、その後段には出力補正回路は必要ない。そのほかの基数の場合には、乗算が必要であるので乗算器の直後で出力補正する必要がある。バタフライ演算回路23からは一括分波出力信号(実部)24a及び一括分波信号(虚部)24bが出力される。

【0034】FFTのポイント数が大きい場合は、FF

T部3内部のメモリ19a、19bからバタフライ演算回路23までのブロックを1ブロックとしてパイプライン接続することにより、マルチステージ構成にして処理を行う。その場合にも乗算器の直後に出力補正回路を挿入することにより、消費電力の削減が可能となる。

【0035】図6は本発明になる一括分波回路の第2の実施の形態のブロック図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。図6に示す実施の形態では、入力信号のレベル制御をIF帯で行い、A/D変換後には下位ビットへのゼロの挿入だけを行う点に特徴がある。この場合、IF帯の入力周波数多重信号は、自動利得制御回路(AGC回路)41に供給され、ここでアナログ信号レベルが一定になるように自動的にレベル制御された後、ミキサ回路4に供給されると共に、どのようなレベルで入力信号が増幅されているかを示すレベル通知信号42に変換されて交換制御部(図示せず)へ通知される。

【0036】このレベル通知信号42はアナログのレベル信号であるので、交換制御部は回路内のA/D変換器でデジタルデータに変換した後、現在の使用チャンネル数と実際の入力レベルの両方を考慮してビット長削減回路43と乗算器12a、12b、20a、20bの直後に置かれる乗算出力補正回路14、22に制御信号25を生成して出力する。消費電力の低減の効果は第1の実施の形態と同様である。また、図示を省略したが、図1と同様に、使用チャンネル数に比例して入力周波数多重信号の振幅を大きくする振幅可変手段がAGC回路41の出力側に設けられている。

【0037】また、本発明の第3の実施の形態としては、IF帯でのレベル制御を交換制御部の指示で行う方法も考えられる。IF帯のレベル制御回路が電圧制御型の変利得増幅器の場合、交換制御部はIF帯のレベル制御回路に使用チャンネル数に応じたアナログ電圧信号を与えて利得制御する必要がある。サブフィルタ部2とFFT部3は第2の実施の形態と同様である。

【0038】本発明の第4の実施の形態は、地上システムまでを含めたパワーコントロールを行うことにより、衛星の受信レベルを常に一定にできるように、地上局の送信レベルを制御できるシステムであれば、ビットシフトは不要となる。この場合は使用チャンネル数に応じて下位ビットをゼロに固定すればよい。

【0039】また、ビット長削減回路においてビットシフトの結果未定義となった下位ビットに常に1を設定する方法もある。レジスタ、メモリではゼロを設定した場合と同様の効果がある。しかし、加減算器では下位ビットが変化してしまうので有効ではない。また、1ビット毎に独立のメモリ、レジスタを使用し、非有効ビットと判断された場合に対応するビットのメモリ及びレジスタをリセットして動作を停止させる方法も考えられる。

【0040】以上の実施の形態によれば、電話のトラヒ

ックには時間変動、曜日変動、月変動があり、時間変動においては、昼間に比べて夜間のトラヒックはかなり減少し、曜日変動では平日に比べて土曜、日曜のトラヒックは時間変動の夜間並みに減少する。従って、時間帯によっては使用チャンネル数は最大チャンネル数の100分の1程度になることもあり得る。

【0041】いま、トラヒックが1/50になったと仮定すると、A/D変換の量子化ビット数は4ビット程度減らすことが可能と思われる。勿論、A/D変換器をオーバーサンプリングで使用していないことを想定している。この場合ももとのA/D変換の量子化が10ビット程度であるとする、メモリ、レジスタ、加減算器はビット数にほぼ比例すると考えられるので40%、乗算器は10%程度の消費電力の低減が実現できる。回路構成がメモリとレジスタ、加減算器が全体の7割程度、乗算器が15%程度と仮定すると、このときの消費電力はビットをフルに使用した場合を100%としたとき、 $1 - 0.7 \times 0.6 + 0.15 \times 0.1 = 56.5$

(%)

というように、低減できる。

【0042】また、1日程度の時間幅で考えると、一括分波回路における平均の消費電力が減少するので、同じバッテリーを使用した場合には衛星から太陽が見えない食のような状態での動作時間を従来よりも長くとることができる。

【0043】

【発明の効果】以上説明したように、本発明によれば、使用チャンネル数に応じてビット長削減回路ではビットシフトを行って未定義となった下位ビットにはゼロを挿入し、補正回路により有効ビット以下の下位ビットにはゼロを挿入するようにしたため、使用チャンネル数が少ないときはより多くの下位ビットの処理が不要にでき、その分の消費電力を節約できるため、従来に比べて消費電力を大幅に低減できる。

【0044】また、本発明によれば、平均消費電力が減少するので、従来と同じバッテリーを使用した場合は、動*

* 作時間を従来よりも長くとることができ、一方、従来と同じ動作時間としたときはバッテリーを容量の小さな小型なものを使用することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のブロック図である。

【図2】図1のビット長削減回路の一例の回路図である。

【図3】図1中のメモリのメモリマップの一例を示す図である。

【図4】図1中の乗算器の一例の回路図である。

【図5】図1中の乗算出力補正回路の一例の回路図である。

【図6】本発明の第2の実施の形態のブロック図である。

【図7】従来の一例の機能ブロック図である。

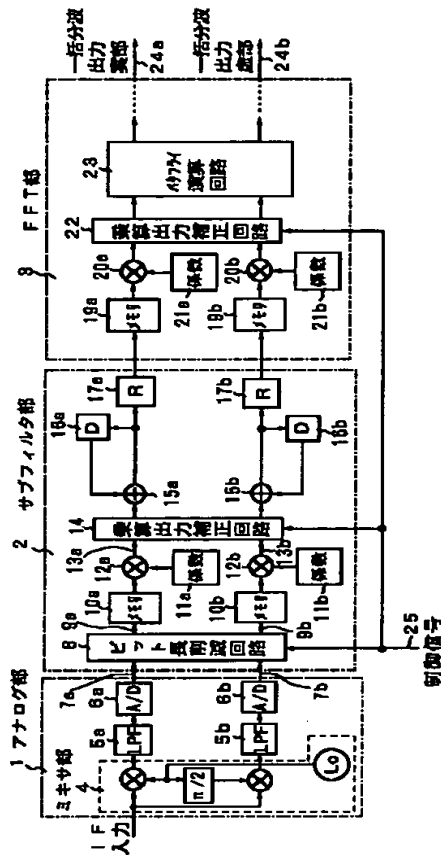
【図8】従来の一例のブロック図である。

【符号の説明】

- 1 アナログ部
- 2 サブフィルタ部
- 3 高速フーリエ変換 (FFT) 部
- 4 ミキサ回路
- 5 a、5 b 低域フィルタ (LPF)
- 6 a、6 b A/D変換器
- 8、43 ビット長削減回路
- 10 a、10 b、19 a、19 b メモリ
- 11 a、11 b、21 a、21 b 係数器
- 12 a、12 b、20 a、20 b 乗算器
- 14、22 乗算出力補正回路
- 15 a、15 b 加算器
- 16 a、16 b ディレイ回路
- 17 a、17 b レジスタ
- 23 バタフライ演算回路
- 24 a、24 b 一括分波出力信号
- 25 制御信号
- 41 自動利得制御 (AGC) 回路
- 42 レベル通知信号

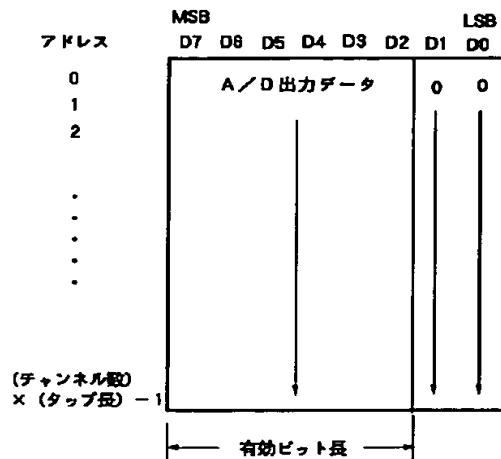
【図1】

本発明の第1の実施の形態のブロック図



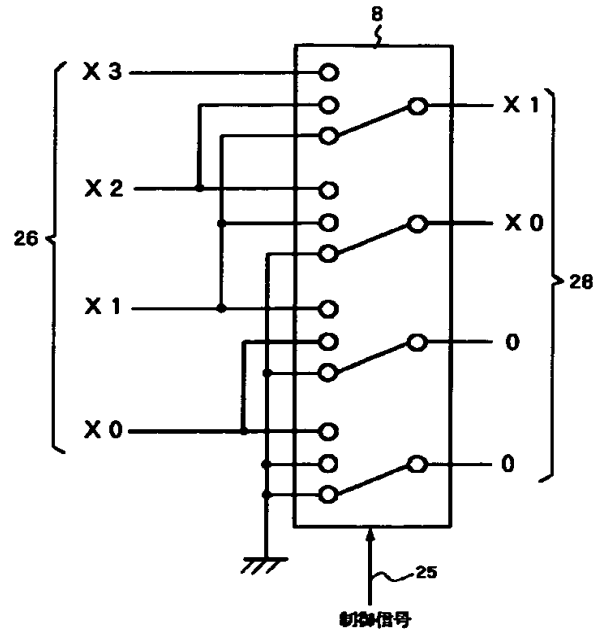
【図3】

図1中のメモリのメモリマップの一例



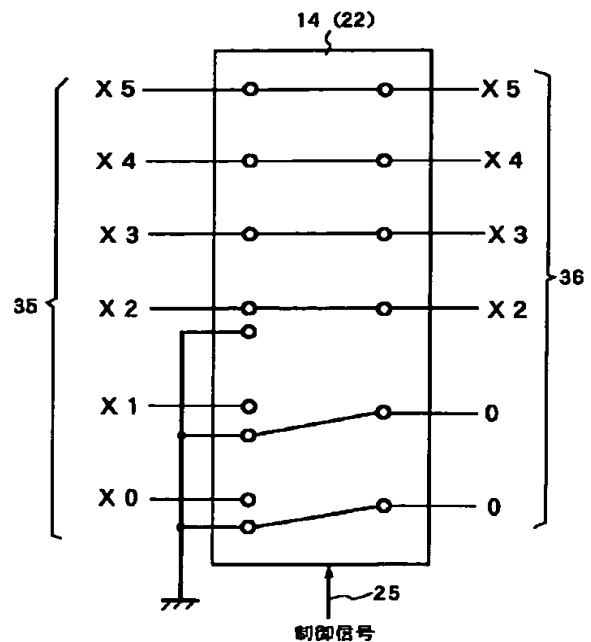
【図2】

図1のビット長削減回路の一例の回路図



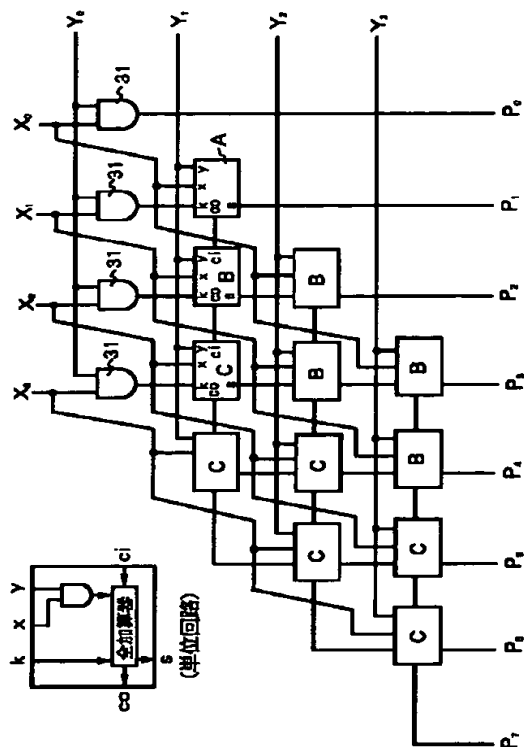
【図5】

図1の乗算出力補正回路の一例の回路図



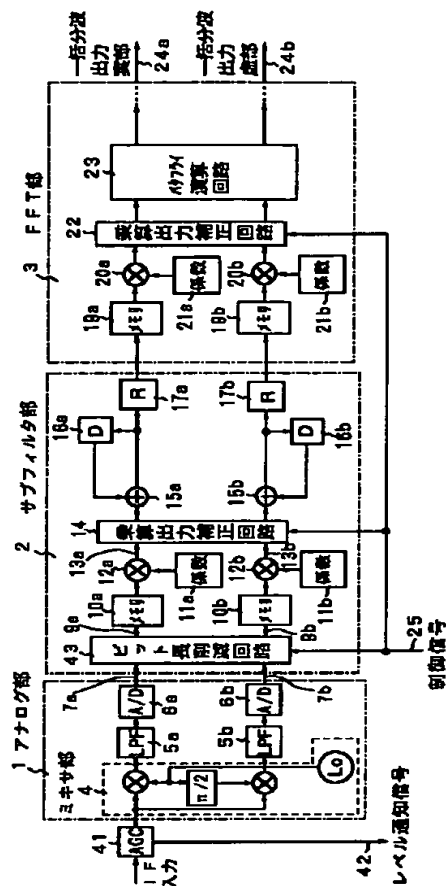
【図4】

図1中の乗算器の一例の回路図



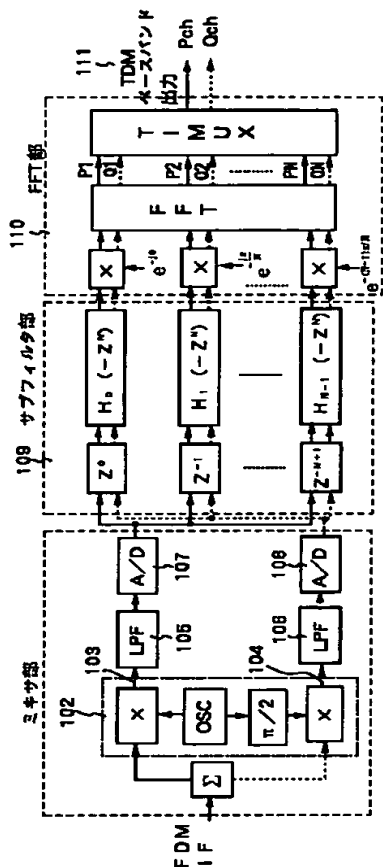
【図6】

本発明の第2の実施の形態のブロック図



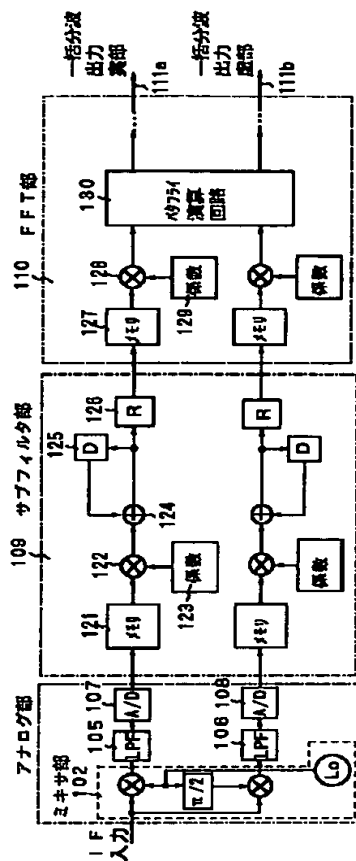
【図7】

従来の一例の機能ブロック図



【図8】

従来の一例のブロック図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.